

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01272270 A**(43) Date of publication of application: **31.10.89**

(51) Int. Cl

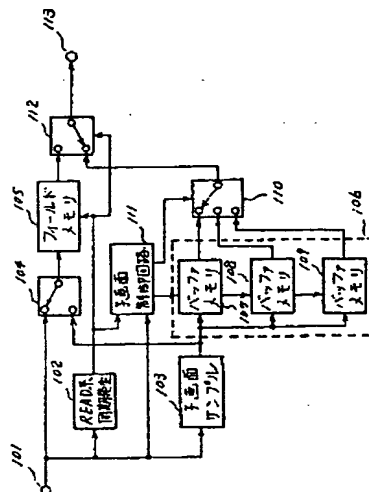
H04N 5/265
H04N 5/45
(21) Application number: **63100327**(22) Date of filing: **25.04.88**(71) Applicant: **HITACHI LTD HITACHI VIDEO
ENG CO LTD**
(72) Inventor:
KATSUMATA KENJI
HIRAHATA SHIGERU
SUGIYAMA MASAHIITO
MATONO TAKAAKI
TORIGOE SHINOBU
SUZUKI SUNAO
MIYAKE HIROMASA
(54) **REDUCTION DISPLAYING CIRCUIT FOR VIDEO
SIGNAL**

(57) Abstract:

PURPOSE: To allow a child picture of an animation, as well, to correctly display a video by selecting one of the outputs in three buffer memories which store the output of a child picture sampling circuit to thin a video signal for the child picture.

CONSTITUTION: The input video signals are thinned by a child picture sampling circuit 103, and they are written into one of three buffer memories 107@109. A first switching circuit 104 selects and displays one buffer memory whose output synchronization and field conform to each other out of the two buffer memories which are not under writing from the three buffer memories 107@109. Consequently, reading and writing do not compete in the child picture. Thus, the new memory is unnecessary to be written, and the correct child picture display can be executed.

COPYRIGHT: (C)1989,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-272270

⑤ Int. Cl.⁴

H 04 N 5/265
5/45

識別記号

庁内整理番号

8420-5C
6957-5C

④ 公開 平成1年(1989)10月31日

審査請求 未請求 請求項の数 4 (全10頁)

⑥ 発明の名称 映像信号の縮小表示回路

② 特 願 昭63-100327

② 出 願 昭63(1988)4月25日

⑦ 発 明 者 勝 又 賢 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑦ 発 明 者 平 昌 茂 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑦ 発 明 者 杉 山 雅 人 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑧ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地

⑨ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

映像信号の縮小表示回路

2. 特許請求の範囲

1. 少なくとも1フィールド以上の容量をもつフィールドメモリを有し、上記フィールドメモリから読み出される映像信号と子画面とを同時に表示する映像信号の縮小表示回路において、映像信号を間引く子画面サンプル回路と、前記子画面サンプル回路出力を一時的に蓄える第1、第2、第3のバッファメモリと、前記フィールドメモリから読み出す映像信号のフィールドと前記第1、第2、第3のバッファメモリから読み出す映像信号のフィールドとの一致を検出し、子画面の映像信号の読み出しを制御する子画面制御回路と、前記第1、第2、第3のバッファメモリの出力を前記子画面制御回路の出力信号で切り換える第1のスイッチ回路と、前記第1のスイッチ回路の出力と前記フィールドメモリの出力とを切り換える第2のスイッチ回路を設

けたことを特徴とする映像信号の縮小表示回路。

2. 入力信号から実走査線信号と補間走査線信号を作成する実走査線／補間走査線作成回路と、前記実走査線／補間走査線作成回路の実走査線出力信号と補間走査線出力信号のそれぞれに信号を間引いて子画面用の信号とする子画面サンプル回路と、実走査線／補間走査線作成回路出力信号を1フィールド分記憶するフィールドメモリと前記フィールドメモリからの実走査線信号と補間走査線信号を倍速化する倍速変換回路とを備えて、倍速で子画面を表示する回路において、前記子画面サンプル回路の出力信号を記憶する第1、第2のバッファメモリと、前記フィールドメモリから読み出される映像信号のフィールドと前記第1、第2のバッファメモリから読み出す子画面のフィールドとの一致を検出し、前記第1、第2のバッファメモリを制御する子画面制御回路と、前記子画面制御回路の出力信号によって前記第1、第2のバッファメモリ出力を切り換える第1のスイッチ回路と、前

記第1のスイッチ回路出力信号と前記フィールドメモリ出力信号を切り換える第2のスイッチ回路と、前記第2のスイッチ回路からの走査線信号と補間走査線信号を切り換えて前記倍速変換回路へ出力する第3、第4のスイッチ回路を設けたことを特徴とする映像信号の縮小表示回路。

3. 入力映像信号を1フレーム遅延するフレームメモリと、前記フレームメモリの入出力信号を用いたY/C分離回路と、前記Y/C分離回路の出力信号を1フィールド遅延するフィールドメモリと前記フィールドメモリの入出力信号を用いた走査線補間回路と前記Y/C分離回路出力信号と前記走査線補間回路出力信号を用いた倍速変換回路を備えた映像信号処理回路において、入力映像信号を間引いて子画面信号を作成する子画面サンプル回路と前記子画面サンプル回路出力と入力映像信号を切り換えて前記フレームメモリへ出力する第1のスイッチ回路と、前記子画面サンプル出力信号と前記Y/C分離

回路出力信号を切り換えて前記フィールドメモリへ入力する第2のスイッチ回路と、前記Y/C分離回路と前記フレームメモリを切り換える第3のスイッチ回路と、前記走査線補間回路と前記フィールドメモリ出力を切り換える第4のスイッチ回路と、前記第3、第4のスイッチ回路出力信号を切り換えて前記倍速変換メモリへ出力する第5、第6のスイッチ回路を設けたことを特徴とする映像信号の縮小表示回路。

4. さらに、子画面信号用の映像入力端子を設け、前記子画面映像信号を前記子画面サンプル回路へ入力し、前記子画面サンプル回路出力信号を一時記憶する第1、第2のバッファメモリを設けたことを特徴とする請求項3記載の映像信号の縮小表示回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、カラーテレビジョン、VTR、ビデオプリンタなどデジタル化したテレビジョン信号を扱う装置に係り、特に映像信号を縮小して表

示するに好適な回路に関する。

〔従来の技術〕

デジタル信号処理技術が家電品に導入されて、TV、VTR、VDP等の装置においても様々な特殊表示機能を行なうことが可能となっている。特に大容量のメモリの開発が進んで、TVでの画面静止、子画面表示等は既に製品化されているものもある。例えば、特開昭61-258578ではTV画面を9個の領域に分割し、その中の8つに縮小された子画面を、残りの部分に到来映像を動画で表示している。すなわち、従来のTV受信機の映像出力信号にA/D変換器、映像メモリ、及びD/A変換器を挿入し、縮小するために間引いた信号を前記映像メモリに記憶し、これを表示する。映像メモリからの読み出しは局部同期信号発生器からの同期信号により制御されるため、到来映像信号に左右されず、画面が乱れることはない。縮小映像の内の1つである動画は、専用の書き込みアドレスカウンタを具備し、映像メモリからの読み出しの空時間に、映像メモリの動画表示部分に書き

込まれる。このように、大容量のメモリを導入することにより、簡単に縮小画面の表示が可能となる。

〔発明が解決しようとする課題〕

前記従来例においては、画面を9個の子画面に分割し、その中の8ヶ所に静止した子画面を表示、残りの1ヶ所に到来映像信号を動画で表示することを想定している。第2図(A)に前記従来例に用いられている画像メモリの子画面記憶領域を示している。(A)から(H)には既に書き込まれている子画面を示し、(I)は動画を表示する部分である。この画像メモリの読み出しは、常に局部同期信号発生器からの同期信号を用いて行なう。(I)の動画部分の読み出しは(A)から(H)の静止面部分と同様に局部同期信号発生器からの同期信号にしたがって行なうのに対し、書き込みは到来映像信号の同期信号にしたがって行なう。局部同期信号発生器からの同期信号と到来映像信号の同期信号の間に相関はまったくないことと、書き込みは3ラインに1ラインの間引いて書き込むため、垂直方

向の書き込み速度は遅く、第2図(4)に示すようにメモリからの読み出しが書き込みを追い越す場合があり、第2図(5)に示すように動画の子画面の上部と下部が別のフィールドから構成されて不自然な映像となってしまう。

本発明の目的は、動画の子画面も正確な映像が表示可能な映像信号処理回路を提供することにある。

〔課題を解決するための手段〕

上記目的は、映像信号を1フィールド分記憶するフィールドメモリと子画面用に映像信号を間引く子画面サンプル回路と、前記子画面サンプル回路出力を記憶する3個のバッファメモリと、前記3個のバッファメモリの内1つの出力を選択する第1のスイッチ回路と、前記第1のスイッチ回路出力と前記フィールドメモリ出力を選択する第2のスイッチ回路を設けることにより達成できる。

また、映像信号から実走査線信号と補間走査線信号を作成し、倍速変換して表示する装置においては2個のバッファメモリと前記第1、第2のス

まれる。第1のスイッチ回路は、3個のバッファメモリの中で書き込み中でない2個のバッファメモリから、出力同期とフィールドの一致しているものを選択して表示する。この方法によれば子画面の読み出しと書き込みが競合することがなく、前記問題点が解決できる。

実走査線と補間走査線を用いて倍速表示する装置では、書き込みフィールドと読み出しフィールドの相異を倍速変換回路の前段の第3、第4のスイッチ回路で補正できる。そのため2個のバッファメモリで十分となる。

また、映像信号処理回路中にフレームメモリを用いた Σ/Δ 分離回路やフィールドメモリを用いた走査線補間回路を備えている装置では、フレームメモリやフィールドメモリ中の未使用領域に子画面3個分のバッファメモリ領域を確保することが可能であり、前記第5、第7のスイッチ回路は前記フレームメモリと前記フィールドメモリへの出力信号を通常モード時と子画面書き込み時で切り換え、前記第6、第8のスイッチ回路は子画面

スイッチ回路と倍速変換回路の前段に実走査線信号と補間走査線信号を切り換える第3、第4のスイッチ回路を設けることにより達成できる。

さらに、フレームメモリを用いて Σ/Δ 分離を行ない、フィールドメモリを用いて走査線補間を行なう装置においては、子画面サンプル回路と前記子画面サンプル回路出力と入力映像信号を切り換える第5のスイッチ回路と前記フレームメモリ出力と前記 Σ/Δ 分離回路を切り換える第6のスイッチ回路と、前記子画面サンプル回路出力と前記 Σ/Δ 分離回路出力を切り換えて前記フィールドメモリへ出力する第7のスイッチ回路と、前記走査線補間回路出力と前記フィールドメモリ出力を切り換えて出力する第8のスイッチ回路と、前記第6、第8のスイッチ回路の出力を切り換えて倍速変換へ出力する第3、第4のスイッチ回路を設けることにより達成できる。

〔作用〕

入力映像信号は、子画面サンプル回路で間引かれて、3個のバッファメモリの内1つに書き込

読み出し時に前記フレームメモリと前記フィールドメモリ出力が直接前記第3、第4のスイッチ回路を通して倍速変換回路へ出力されるように動作する。この構成によって前記フレームメモリと前記フィールドメモリが子画面バッファメモリとして使用可能となる。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。

第1図において、101は映像信号の入力端子、113は表示映像信号の出力端子、102は子画面モード時の同期を発生する読み出し同期発生回路、103は入力映像信号を間引くフィルタ処理をする子画面サンプル回路、104は入力映像信号と前記子画面サンプル回路103で作成された子画面信号を切り換える第1のスイッチ回路、105は1フィールド容量のフィールドメモリ、107,108,109は子画面1枚分の容量をもつ第1、第2、第3のバッファメモリ、106は前記第1、第2、第3のバッファメモリ107,108,109より成るバッファメモ

リ群、110は前記第1、第2、第3のバッファメモリの出力の1つを選択する第2のスイッチ回路、111は前記第1、第2、第3のバッファメモリと前記第2のスイッチ回路を制御する子画面制御回路、112は前記フィールドメモリ出力と前記第2のスイッチ回路出力を切り換える第3のスイッチ回路である。

前記従来例においては、画面を9個に分割して、その内の8個を静止画、1個を動画としていたが、本実施例の説明においては簡単の為、第2図(a)の(I)の位置に子画面の動画を表示し、その他の部分はフリーズ画(8個に分割されていない)であることを想定し、フリーズ画の部分を親画面、動画の部分を子画面と呼ぶ。すなわち、親画面が静止画、子画面が動画のPnPである。実際にこの親画面のフリーズは前記フィールドメモリの書き込みを禁止することで簡単に実現できる。

さて、上記方法で親画面を静止した後は、フィールドメモリの読み出し同期を前記読み出し同期発生回路により固定し、子画面用の同期信号、す

なわち到来同期信号の変化に対応する。親画面内に静止画の子画面を表示する場合は、前記子画面サンプル回路103の出力信号を1フィールド分前記第1のスイッチ回路104を通して、前記フィールドメモリ105に書き込めばよいが、動画の子画面を表示する場合は前記問題が発生する。

動画の子画面を表示する場合は、前記第1、第2第3の子画面用バッファメモリ107,108,109に、順に1フィールドずつ間引かれた子画面信号を書き込む。前記第1、第2、第3のバッファメモリ107,108,109に書き込まれた信号の内の1つが前記第2のスイッチ回路110により選択されて、さらに第3のスイッチ回路112は、子画面表示部分のみ前記第2のスイッチ回路出力を選択する。前記第2のスイッチ回路110の選択は前記子画面制御回路111からの制御信号によって行なわれ、前記第1、第2、第3のバッファメモリ107,108,109の内の現在書き込まれていなく、しかも表示フィールドと同じフィールドを記憶しているものが選択される。通常、第2図(c)に示したような、

画面が2つの異なったフィールドから構成される問題は、2フィールド分のバッファメモリをもって、1フィールド前の信号を記憶したメモリを選択し、表示すれば解決できる。しかし、2フィールド分のバッファメモリしかもたない場合は、インターレース走査に起因する問題が起こる。この問題を第3図を用いて説明する。第3図(a)は子画面信号をサンプリングして間引く様子を示しており、 $\frac{1}{3}$ の子画面を作る場合は、3ラインに1ラインずつ選択し、しかも奇数フィールドと偶数フィールドでサンプル信号がインターレースするように選択する必要がある。第3図(b)と(c)は間引いた信号を子画面として表示した様子を示している。第3図(b)は奇数フィールドの信号を奇数フィールドで、偶数フィールドの信号を偶数フィールドで表示しているのに対し、第3図(c)では奇数フィールドの信号を偶数フィールドで、偶数フィールドの信号を奇数フィールドで表示している。この場合、子画面表示領域が(b)と(c)で1ラインずれてしまう。すなわち、奇数フィールド

の信号は奇数フィールドで表示し、偶数フィールドの信号は偶数フィールドで表示しなければならない。したがって、前記バッファメモリ群106内には、到来信号を書き込んでいるバッファメモリ以外に、奇数フィールドの信号を記憶しているバッファメモリと偶数フィールドを記憶しているバッファメモリが必要であり、合計3枚のバッファメモリが必要となる。

前記第1、第2、第3のバッファメモリ107,108,109の書き込み、読み出しの選択の決定は、前記子画面制御回路111からの制御信号によって行なう。このバッファメモリの選択方法を第4図を用いて説明する。第4図においては、前記第1、第2、第3のバッファメモリ107,108,109をそれぞれバッファメモリA、B、Cとし、それぞれのフィールドでどのバッファメモリを選択するかを示しており、書き込み系のフレームパルスを実線で、読み出し系のフレームパルスを実線で示している。なお、フレームパルスは“H”レベルが奇数フィールドを、“L”レベルが偶数フィールドを示すと仮

定している。第4図(a)は書き込み系、すなわち到来信号のフレームパルスと選択したバッファメモリを示す。書き込み系のバッファメモリの選択は選択の順を崩さなければよい。第4図の(b)から(g)は読み出し系のフレームパルスと表示子画面の位置と選択されたバッファメモリを示している。書き込み系と読み出し系は同期位置に相関はないため、6種類の位置を例にとって示してある。子画面の位置は斜線で示しており、本例においては画面の下部に子画面を設定してある。さて、以下読み出し系のバッファメモリの決定方法を示す。まず、子画面の始まりの位置(第4図では丸印で示した)で読み出し系のフレームパルスと書き込み系のフレームパルスの一致・不一致を検出する。フレームパルスが一致している場合は、書き込み系の同期において1フィールド前に書き込まれたバッファメモリを、読み出し系の同期において、1フィールド後に読み出す。不一致の場合は、現在書き込み中のバッファメモリを、読み出し同期における次のフィールドで読み出す。この選択を

子画面読み出し制御信号発生回路、1010は前記第1、第2の子画面読み出し制御信号発生回路1008、1009の出力を切り換えるスイッチ回路、1011は前記スイッチ回路1010の出力信号を子画面の開始位置の信号でラッチするためのラッチ回路である。前記一致検出回路は、例えばフィールドパルスからフレームパルスを作成し、BOR等のゲートを用いて比較することにより簡単に構成可能である。前記入力端子1001からの書き込み系のフィールドパルスは、3進カウンタ1003を駆動し、例えば第4図(a)の四角内に示したように、子画面を書き込むべきバッファメモリを指定する信号を端子1006に出力する。前記第1の子画面読み出し制御信号発生回路1008は、1フィールド前に子画面を書き込んだバッファメモリを指定し、前記第2の子画面読み出し制御信号発生回路1009は、現在書き込み中のバッファメモリを指定する。前記スイッチ回路1010において、書き込み系と読み出し系のフィールドが一致している場合は、端子を選択し、不一致の場合は、b端子を選択する。

実施する回路は簡単に構成でき、この方法を用いて読み出し系のバッファメモリを選択すると第4図(b)から(g)となる。

以上説明したバッファメモリ選択方法の具体的な回路構成を第10図に示す。第10図において、1001はバッファメモリへ書き込む映像(以下書き込み系と略す)のフィールドパルスの入力端子、1002はフィールドメモリから読み出す映像(以下、読み出し系と略す)のフィールドパルスの入力端子、1003は3進カウンタ、1004は子画面の垂直位置信号の入力端子、1005はバッファメモリの出力信号を選択するスイッチ回路を制御する信号を出力する出力端子、1006は子画面映像信号を書き込むバッファメモリを決定する信号を出力する出力端子、1007は書き込み系のフィールドパルスと読み出し系のフィールドパルスの奇数偶数フィールドの一致/不一致を検出する一致検出回路、1008、1009は前記書き込み系のバッファメモリ制御信号よりバッファメモリから読み出す映像を選択する為の制御信号を発生する第1、第2の

これを前記ラッチ回路1011を用いて、子画面の開始位置でラッチして、次のフィールドの読み出しバッファメモリを決定し、切り換え回路の制御信号を端子1005に出力する。本回路を用いることにより第4図に示すバッファメモリの選択が可能となる。

このように書き込み系のバッファメモリと読み出し系のバッファメモリを設定することにより、読み出しが書き込みを追い越すことがなく、また奇数フィールドの信号は奇数フィールドで、偶数フィールドの信号は偶数フィールドで表示でき、前記問題を解決できる。第1図の実施例では、子画面バッファメモリは前記第1、第2、第3のバッファメモリ107、108、109より構成したが、書き込み制御信号(\overline{WE})や出力禁止信号(\overline{OE})を用いれば、前記バッファメモリ群106と前記第2のスイッチ回路110を1つのメモリより構成することが可能である。

第5図に本発明の他の一実施例を示す。第5図は倍速で信号を出力するシステムであり、501は

入力映像信号より実走査線信号と補間走査線信号を作成する実走査線／補間走査線作成回路、502は子画面用バッファメモリの出力を切り換える第4のスイッチ回路、508は点線枠内の部分507と同一構成回路であり、507が実走査線を出力するのに対し、508は補間走査線を出力する。503、504は実走査線と補間走査線を切り換える第5、第6のスイッチ回路、505は倍速変換回路、506は倍速化された映像信号の出力端子である。

第5図において、子画面信号を作成する回路である507、508は第1図の実施例とはほぼ同じであるが、バッファメモリの数が2個であることが異なる。倍速表示のシステムでは、補間走査線も表示可能なため、子画面信号のサンプルは第6図(ロ)に示すように、ダッシュなしの英数字で示したものを子画面の実走査線として、ダッシュ付の英数字で示したものを子画面の補間走査線としてサンプルする。表示するときは、子画面の書き込みフィールドと読み出しフィールドが一致している時は第6図(カ)のように、実走査線として取り込ん

するフィールドメモリ、804は前記フィールドメモリ803の入出力信号を用いた動き適応型の走査線補間回路、805は入力映像信号と前記Y/C分離回路802の出力信号を切り換えて前記フィールドメモリへ帰還する第1のスイッチ回路、806は前記第1のスイッチ回路805の出力と前記子画面サンプル回路103によりサンプルされた子画面信号を切り換える第2のスイッチ回路、807は前記Y/C分離回路802の出力と前記フレームメモリ801の出力を切り換える第3のスイッチ回路、808は前記Y/C分離回路802の出力と前記走査線補間回路804の出力を切り換える第4のスイッチ回路、809は前記子画面サンプル回路103によりサンプルされた子画面信号と前記第4のスイッチ回路808の出力を切り換える第5のスイッチ回路、810は前記走査線補間回路804の出力と前記フィールドメモリ803の出力信号を切り換える第6のスイッチ回路、811は前記フレームメモリ801の入出力信号より動き適応型回路の制御信号を作成する動き処理回路、812は前記フレームメモリ801

だ子画面信号は実走査線に出力し、補間走査線として取り込んだ子画面信号は補間走査線に出力し、子画面の書き込みフィールドと読み出しフィールドが異なる場合は第6図(ロ)のように(カ)と反対の出力方法をとればよい。この走査線の選択を前記第5、第6のスイッチ回路503、504で行なり。また、第7図(ロ)のようなサンプリング方法をとる時は第7図(カ)、(ロ)に示すように奇数フィールドと偶数フィールドで表示方法を変えればよい。以上の方法を用いると、表示する子画面信号は、現在書き込んでいないバッファメモリを選択すればよく、第5図に示すようにバッファメモリは2個でよい。

第8図は本発明の他の一実施例である。第8図において、103は入力映像信号より子画面信号をサンプルする子画面サンプル回路、801は入力映像信号を1フレーム遅延するためのフレームメモリ、802は前記フレームメモリ801の入出力信号を用いた動き適応型のY/C分離回路、803は前記Y/C分離回路の出力信号を1フィールド遅延

と前記フィールドメモリ803の制御回路である。

第8図において、第1、第4のスイッチ回路805、808は動き適応処理後の信号を前記フレームメモリ801、前記フィールドメモリ803に帰還して画映をフリーズさせるものであり、既に特願昭60-212416、特願昭61-138319として出願済である。前記第1、第4のスイッチ回路を用いてフリーズを実施した後、第2、第5のスイッチ回路806、809は前記子画面サンプル回路103側に接続される。

映像信号を8bitで量子化し、4fsc(fscは色副搬送波周波数)でサンプリングした場合、フィールドメモリは現在主流となりつつある1Mbit容量のDRAM2個で構成できる。メモリには映像期間のみを記憶し、ブランキング期間は書き込まないようにすると、フィールドメモリ内に子画面3個分の領域を確保できる。例えば1H期間を910サンプルとし、映像期間を768サンプル、ブランキング期間を142サンプル、垂直映像期間を240ラインとすれば、フィールドメモリの余剰領域は

$(1024 \times 2) - (768 \times 240 \times 8) = 573440 \text{bit}$
 子画面の大きさを水平方向に256サンプル、垂直方向に80ラインとすると子画面3個の容量は

$$256 \times 80 \times 8 \times 3 = 491520 \text{bit}$$

となり、フィールドメモリ内に子画面3個分のバッファメモリ領域を確保可能となる。したがって前記フレームメモリ801と前記フィールドメモリを第5図の実施例におけるフィールドメモリ105とバッファメモリ107,108として用い、前記第3のスイッチ回路807を前記フレームメモリ801の出力側に、前記第6のスイッチ回路810を前記フィールドメモリ803側に接続することにより、第5図の実施例と等価な動作が行なえる。本実施例においては、子画面用に新たなメモリを加えることなく、正確な子画面表示が行なえる。

第9図に本発明の他の一実施例を示す。第9図において、901は子画面用の映像信号の入力端子、902,903は第1,第2のバッファメモリ、904はフレームメモリ801とフィールドメモリ803の制御回路、その他は第8図の実施例と同じである。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来の問題点を示す模式図、第3図及び第6図は子画面のサンプル方法を示す図、第4図は子画面のバッファメモリの選択方法を示すタイミング図、第5図、第8図及び第9図はそれぞれ本発明の他の実施例を示すブロック図、第10図は子画面制御回路の詳細を示すブロック図である。

102 … 読み出し系同期発生回路、

103 … 子画面サンプル回路、

105 … フィールドメモリ、

107,108,109 … 子画面用バッファメモリ、

110,112 … スイッチ回路、

111 … 子画面制御回路、

501 … 突走査線／補間走査線作成回路、

502,503,504 … スイッチ回路、

505 … 倍速変換回路、

801 … フレームメモリ、

803 … フィールドメモリ、

805,806,807,808,809,810 … スイッチ回路、

第8図の実施例においては、子画面出力時は親画面をフリーズしていたのに対して、本実施例では親画面も子画面も動画の場合を考えている。入力端子901より入力された子画面用の映像信号は、前記子画面サンプル回路103で間引かれた後、前記第1,第2のバッファメモリ902,903に一時的に蓄えられた後、親画面のプランキング期間に前記フレームメモリ801、前記フィールドメモリ804の子画面バッファ領域に転送する。前記第3,第6のスイッチ回路は、子画面を出力する時のみ前記フレームメモリ801あるいはフィールドメモリ803の出力側へ接続されて、親画面・子画面とも動画の表示が可能となる。

〔発明の効果〕

本発明によれば、映像信号に処理を加えてフィールド構造に乱れのない縮小画面を標準速・倍速の両方式で表示できる。

さらに、フレーム処理を行なうシステムにおいては、メモリを追加することなく縮小子画面の表示が行なえる。

812 … メモリ制御回路。



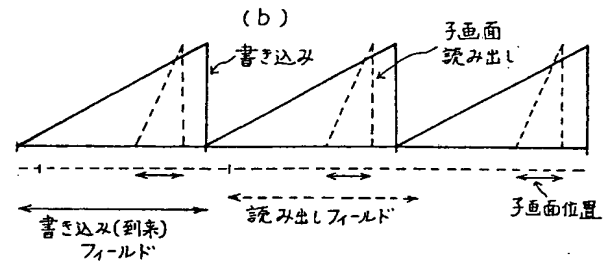
代理人弁理士 小川勝男

第 2 図

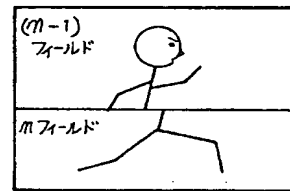
(a)

(A)	(B)	(C)
(D)	(E)	(F)
(G)	(H)	(I)

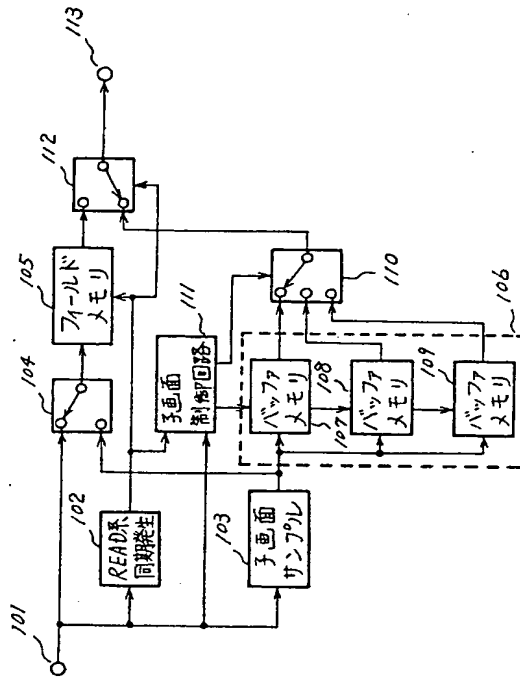
(b)



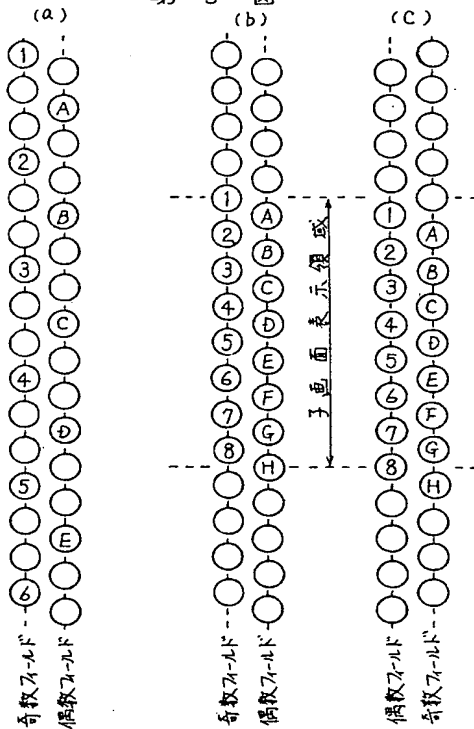
(C)



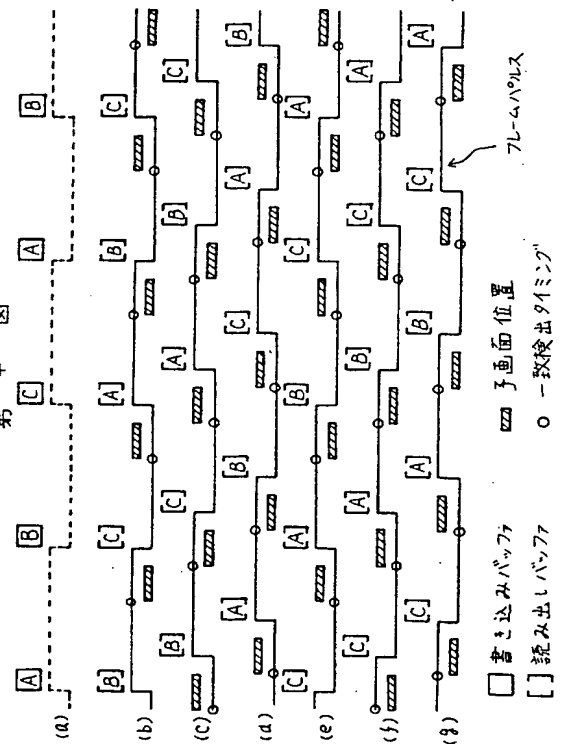
一 採

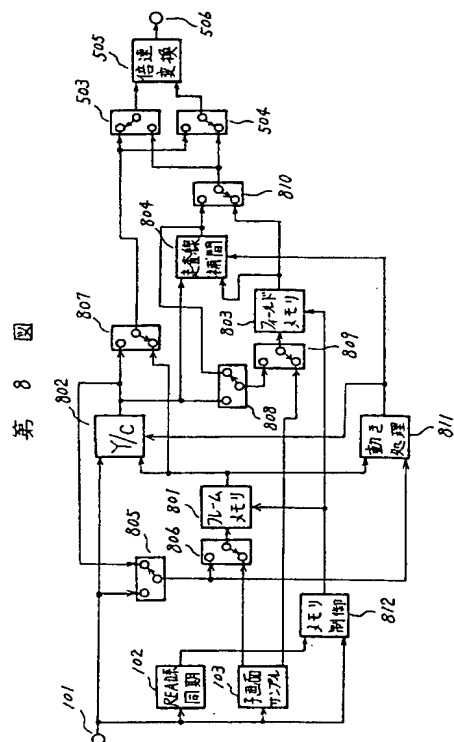
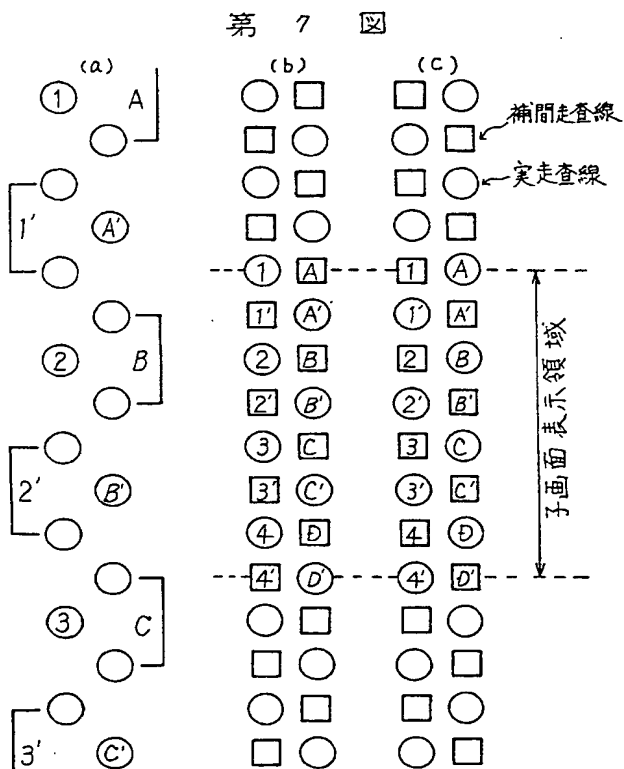
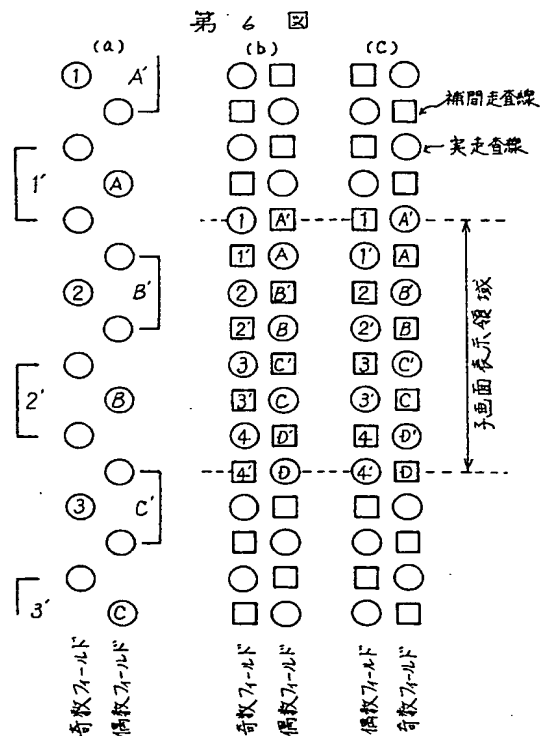
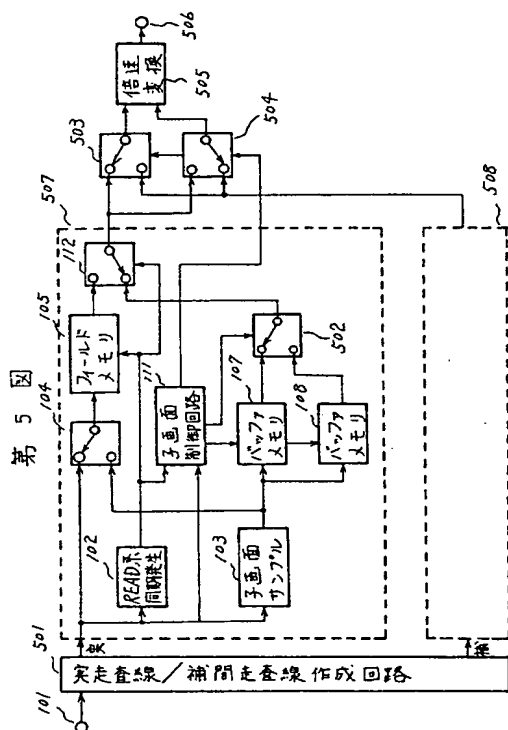


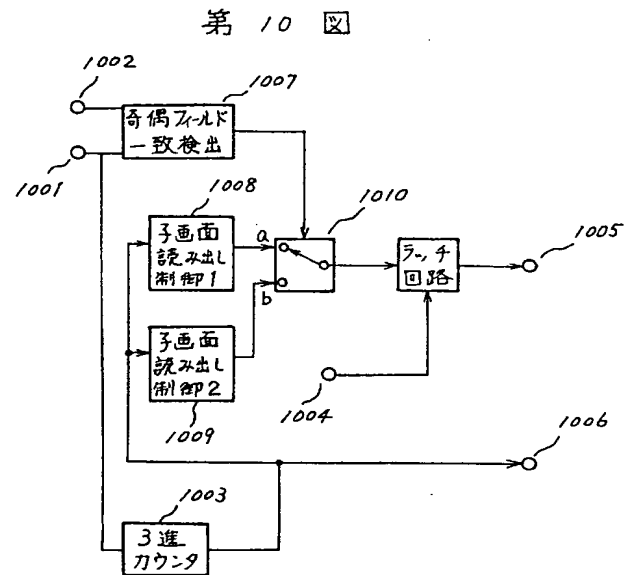
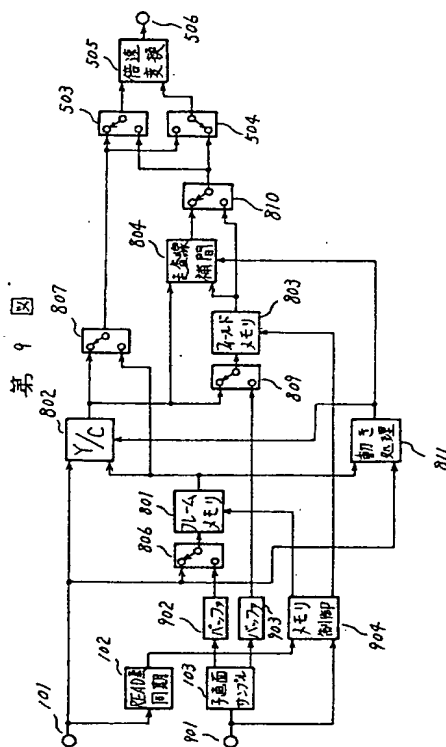
第 3 図



解 4







第 1 頁の続き

⑦発 明 者 的 野 孝 明

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑦発 明 者 鳥 越 忍

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑦発 明 者 鈴 木 直

神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内

⑦発 明 者 三 宅 賢 昌

神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内